



Electrónica Aplicada II

Proyecto de investigación:

Tecnología BiCMOS

Docentes:

Ing. Hugo Aparicio

Ing. Alejandro Pohl

Alumnos:

Ferraro, Nicolás

Galante, Julián

Serrano, Agustín

Fecha:

Indice

- Tecnología BICMOS
 - Introducción
 - Física del sólido
 - Proceso de fabricación
 - Ventajas de la tecnología BICMOS
 - Desventajas de la tecnología BICMOS
- Aplicaciones prácticas
 - Inversor BiCMOS
 - Compuerta NAND y NOR BiCMOS
- TSB572 Amplificador operacional BICMOS

TECNOLOGÍA BICMOS

Introducción

Los transistores bipolares tienen una salida de corriente más alta por unidad de capacidad de entrada. El CMOS, por otro lado, es de baja potencia, tiene un amplio margen de ruido y una alta impedancia de entrada. BiCMOS hace uso de esas excelentes características.

La tecnología *BiCMOS* pretende combinar en un mismo cristal de silicio transistores bipolares de implantación iónica, muy delgados y de alta velocidad, con dispositivos CMOS. El nivel de integración es elevado, del mismo orden que la tecnología CMOS, consiguiendo un incremento de la velocidad de conmutación. Esta tecnología intenta proporcionar una velocidad mejorada sobre CMOS y una menor disipación de potencia que la de los transistores bipolar.

La fabricación se realiza en un proceso compatible con el básico CMOS a expensas de varios pasos adicionales de proceso.

En general, los dispositivos MOS se sitúan en la etapa de entrada, llevando a cabo la operación lógica correspondiente, mientras que los dispositivos BJT se sitúan en la etapa de salida para gobernar las cargas elevadas, usualmente buses de comunicación. Por consiguiente, la etapa de entrada *BiCMOS* tiene una elevada impedancia de entrada, la correspondiente a dispositivos CMOS y la etapa de salida gran capacidad de manejo de corriente, correspondiente a dispositivos BJT.

Con esta combinación se consigue, en circuitos digitales, una elevada capacidad de los dispositivos lógicos para actuar sobre cargas capacitivas grandes. Esto es debido a la buena capacidad de drenar o ceder corrientes elevadas por parte de los transistores bipolares BJT.

La tecnología BiCMOS es también especialmente interesante para circuitos analógicos al poder disfrutar de las características de ambos tipos de dispositivos.

Física del sólido

La Fig.7.1 muestra la sección de una tecnología *BiCMOS* básica indicando la estructura de los tres tipos de componentes de la misma, transistores NMOS y PMOS y transistores BJT NPN.

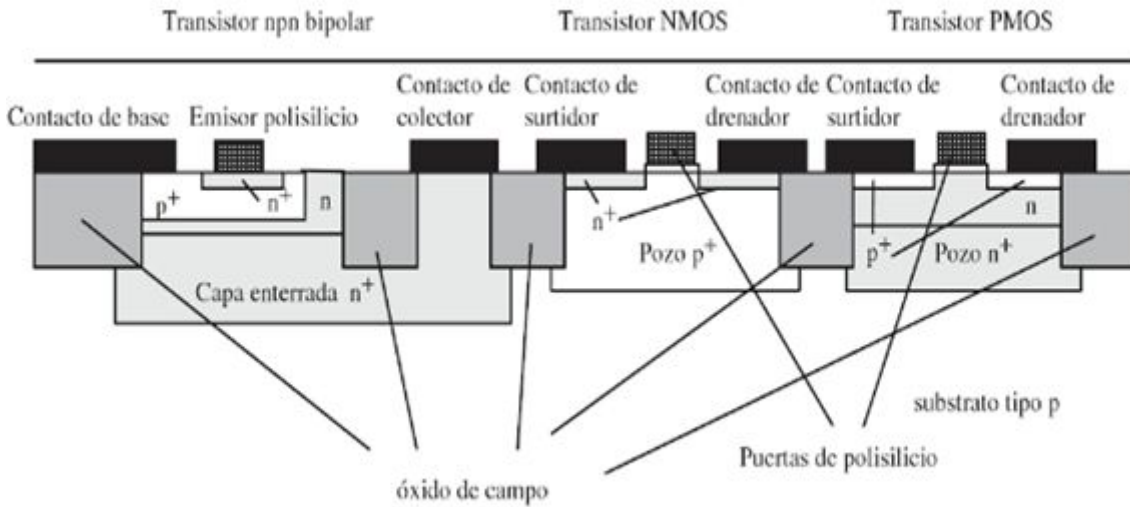


Fig. 7.1 Sección de un componente de tecnología BiCMOS

Obsérvese la capa enterrada (implantación iónica) que corresponde al colector del NPN. El proceso de fabricación comienza por esta capa con una implantación (antimonio) sobre el sustrato p. Esta capa enterrada corresponde a los colectores de los BJT y coincide con el pozo de los transistores PMOS. Posteriormente, se procede a un proceso de implantación con impurezas (boro) correspondiente al pozo de los transistores NMOS. A continuación, se hace crecer la capa epitaxial n que forma las regiones de colector y la zona de canal de los PMOS. Se crecen zonas de óxido grueso en las separaciones entre los dispositivos. Finalmente, y junto a un proceso de deposición del material de polisilicio, electrodo de emisor del NPN y de puerta de los MOS, se procede a la implantación del emisor del NPN y de las regiones de drenador y surtidor de los MOS. Las diversas capas de metalización siguen un proceso idéntico a la tecnología CMOS.

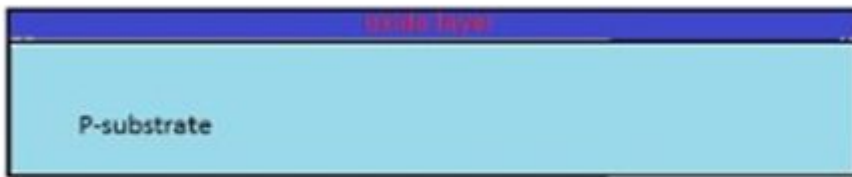
Proceso de Fabricación

La fabricación de BiCMOS combina el proceso de fabricación de BJT y CMOS, pero simplemente la variación es una realización de la base. Los siguientes pasos muestran el proceso de fabricación de BiCMOS.

Paso 1: P-sustrato.

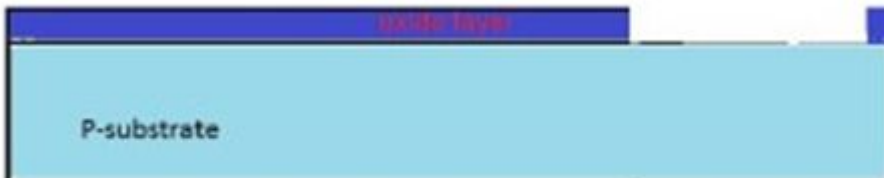


Paso 2: El sustrato p se cubre con la capa de óxido.



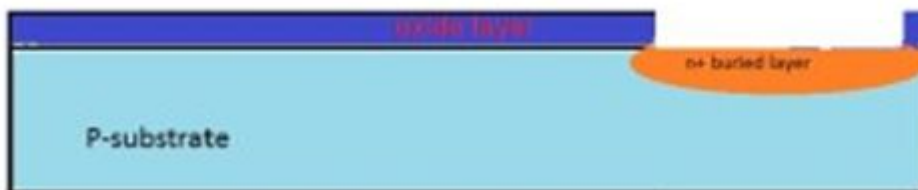
Sustrato P con capa de óxido

Paso 3: Se hace una pequeña abertura en la capa de óxido.



La apertura se realiza sobre la capa de óxido.

Paso 4: las impurezas de tipo N se dopan fuertemente a través de la abertura.



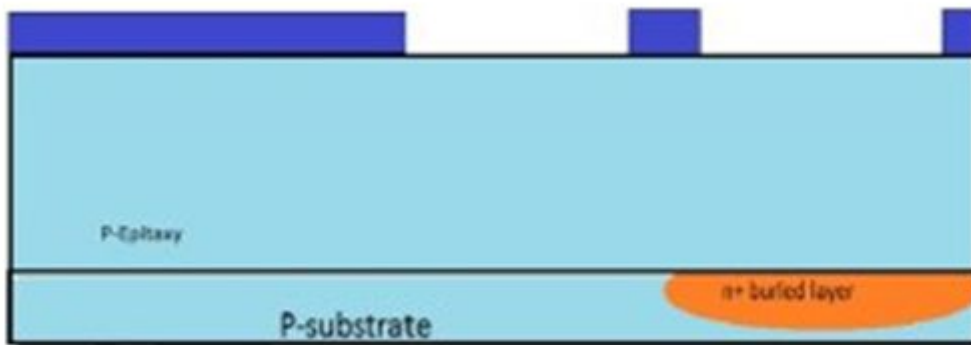
Las impurezas de tipo N están fuertemente dopadas a través de la abertura.

Paso 5: la capa P - Epitaxy se cultiva en toda la superficie.



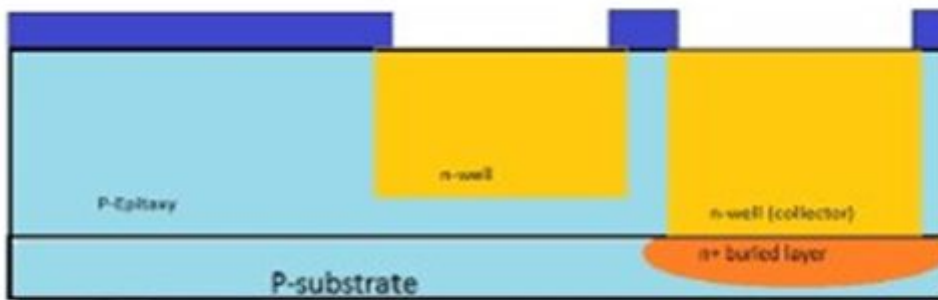
La capa de epitaxy se cultiva en toda la superficie.

Paso 6 : De nuevo, toda la capa se cubre con la capa de óxido y se hacen dos aberturas a través de esta capa de óxido.



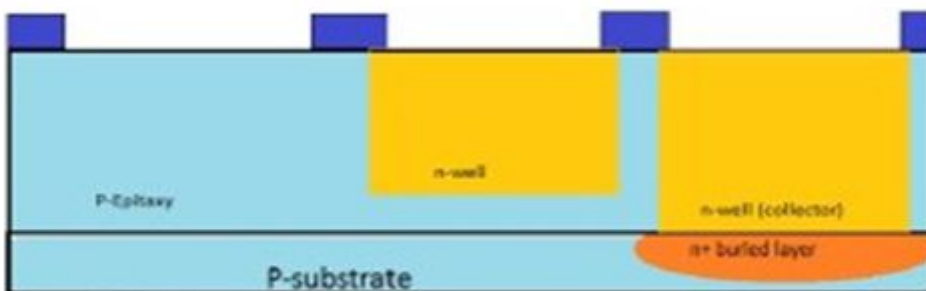
Se hacen dos aberturas a través de la capa de óxido.

Paso 7 : Desde las aberturas hechas a través de la capa de óxido, las impurezas de tipo n se difunden para formar n-pozos.



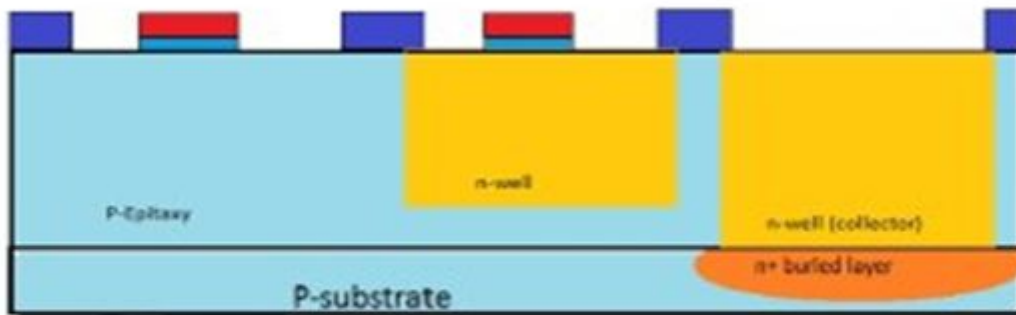
Las impurezas de tipo n se difunden para formar n-pozos.

Paso 8: Se hacen tres aberturas a través de la capa de óxido para formar tres dispositivos activos.



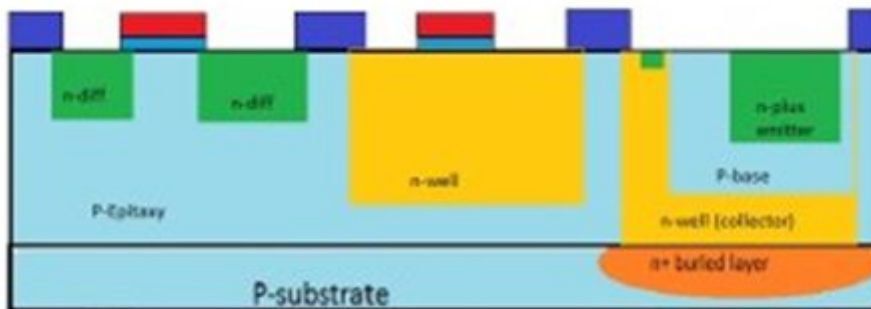
Se hacen tres aberturas a través de la capa de óxido para formar tres dispositivos activos

Paso 9: Los terminales de compuerta de NMOS y PMOS se forman cubriendo y modelando toda la superficie con Thinox y Polisilicio.



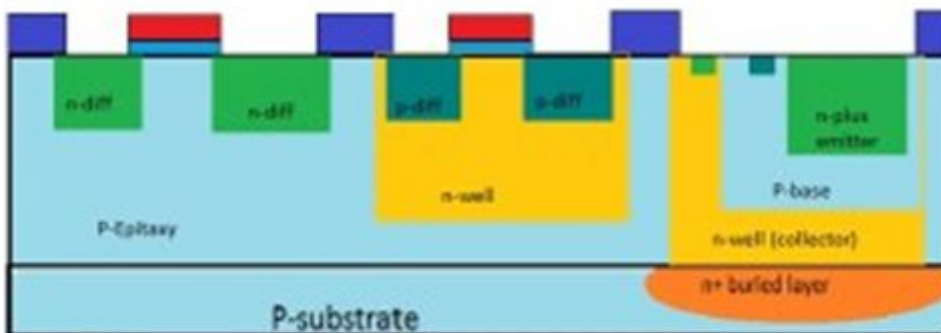
Los terminales de puerta de NMOS y PMOS se forman con Thinox y Polisilicio.

Paso 10: Las impurezas P se agregan para formar el terminal base de BJT y similares, las impurezas de tipo N están fuertemente dopadas para formar un terminal emisor de BJT, fuente y drenaje de NMOS y para fines de contacto, las impurezas de tipo N se dopan en la N -Bien coleccionista.



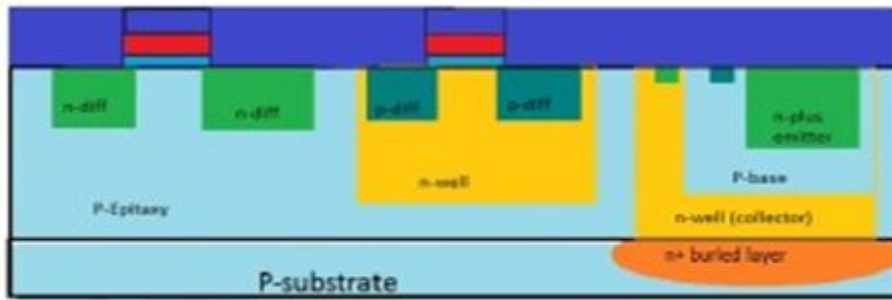
Las impurezas P se agregan para formar el terminal base de BJT

Paso 11: Para formar las regiones de la fuente y el drenaje de PMOS y hacer contacto en la región de la base P, las impurezas de tipo P están fuertemente dopadas.



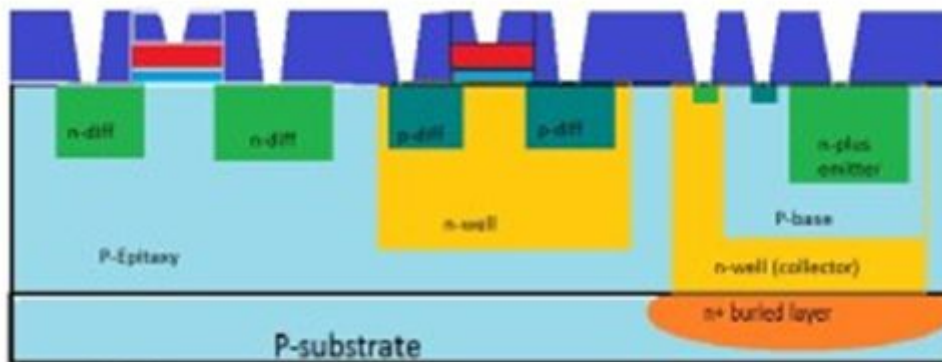
Las impurezas de tipo P están fuertemente dopadas para formar regiones de fuente y drenaje de PMOS

Paso 12: Entonces toda la superficie se cubre con la capa de óxido espeso.



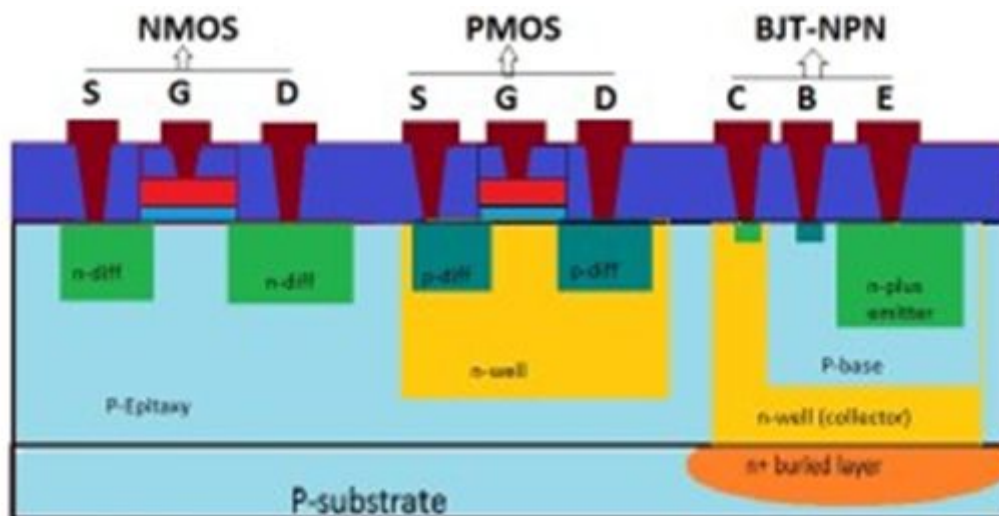
Toda la superficie está cubierta con la gruesa capa de óxido.

Paso 13: A través de la capa gruesa de óxido, los cortes se modelan para formar los contactos metálicos.



Los cortes están modelados para formar los contactos metálicos.

Paso 14 : Los contactos de metal se hacen a través de los cortes hechos en la capa de óxido.



Los contactos de metal se hacen a través de los cortes y las terminales se nombran.

La fabricación de BiCMOS se muestra en la figura anterior con una combinación de NMOS, PMOS y BJT. En el proceso de fabricación, se utilizan algunas capas, como implantes de parada de canal, oxidación de capa gruesa y anillos de guarda. La fabricación será teóricamente difícil para incluir tanto las tecnologías CMOS como las bipolares. Los transistores bipolares parásitos que se producen inadvertidamente son un problema de fabricación al procesar p-well y n-well CMOS. Para la fabricación de BiCMOS se agregaron muchos pasos adicionales para el ajuste fino de los componentes bipolares y CMOS. Por lo tanto, el costo de la fabricación total aumenta.

El tope del canal se implanta en dispositivos semiconductores, como se muestra en la figura anterior, utilizando la implantación o difusión u otros métodos para limitar la propagación del área del canal o para evitar la formación de canales parásitos. Los nodos de alta impedancia, si los hay, pueden provocar corrientes de fuga en la superficie y, para evitar el flujo de corriente en lugares donde el flujo de corriente está restringido, se utilizan estos anillos de protección.

Ventajas de la tecnología BiCMOS

El diseño del amplificador analógico se facilita y mejora utilizando un circuito CMOS de alta impedancia, ya que la entrada y el resto se realizan mediante el uso de transistores bipolares.

BiCMOS es esencialmente vigoroso para las variaciones de temperatura y proceso que ofrecen buenas consideraciones económicas (alto porcentaje de unidades primarias) con menos variabilidad en los parámetros eléctricos.

Los dispositivos BiCMOS pueden proporcionar sumideros y suministros de alta carga de corriente según el requisito.

Dado que es una agrupación de tecnologías bipolares y CMOS, podemos usar BJT si la velocidad es un parámetro crítico y podemos usar MOS si la potencia es un parámetro crítico y puede impulsar altas cargas de capacitancia con un tiempo de ciclo reducido.

Tiene una baja disipación de potencia que la tecnología bipolar sola.

Esta tecnología encontró aplicaciones frecuentes en circuitos analógicos de administración de potencia y amplificadores, como el amplificador BiCMOS.

Es adecuado para aplicaciones intensivas de entrada / salida, ofrece entradas / salidas flexibles (TTL, CMOS y ECL).

Tiene la ventaja de un rendimiento de velocidad mejorado en comparación con la tecnología CMOS sola.

Luce la invulnerabilidad.

Tiene la capacidad bidireccional (la fuente y el drenaje se pueden intercambiar según el requisito).

Desventajas de la tecnología BiCMOS

El proceso de fabricación de esta tecnología comprende las tecnologías CMOS y bipolar que aumentan la complejidad.

Debido al aumento en la complejidad del proceso de fabricación, el costo de fabricación también aumenta.

Como hay más dispositivos, por lo tanto, menos litografía.

APLICACIONES PRÁCTICAS

Esta tecnología se utiliza como alternativa de los bipolares, ECL y CMOS anteriores en el mercado. En algunas aplicaciones (en las que hay un presupuesto limitado para la potencia), el rendimiento de la velocidad de BiCMOS es mejor que el de la bipolar. También es adecuada para las aplicaciones intensivas de entrada / salida.

Las aplicaciones de BiCMOS fueron inicialmente en microprocesadores RISC en lugar de microprocesadores CISC tradicionales. Esta tecnología sobresale de sus aplicaciones, principalmente en dos áreas de microprocesadores como la memoria y la entrada / salida.

Tiene una serie de aplicaciones en sistemas analógicos y digitales, lo que da como resultado que el chip único que abarca el límite analógico-digital. Sobrepasa la brecha que permite el curso de la acción y los márgenes del circuito a ser cruzados.

Puede usarse para aplicaciones de muestreo y retención ya que proporciona entradas de alta impedancia. Esto también se usa en aplicaciones tales como sumadores, mezcladores, ADC y DAC.

Para superar las limitaciones de los amplificadores operacionales bipolares y CMOS, los procesos de BiCMOS se utilizan en el diseño de los amplificadores operacionales. En los amplificadores operacionales, se desean características de alta ganancia y alta frecuencia. Todas estas características deseadas se pueden obtener utilizando estos amplificadores BiCMOS.

Veamos algunos ejemplos prácticos...

Inversor BiCMOS

La figura Fig. 7.2 muestra el esquema típico de un inversor BICMOS. Se configura a partir de cuatro transistores MOS, uno PMOS y el resto NMOS, así como de dos transistores BJT npn. La entrada del inversor actúa sobre puertas aisladas de tres MOS, lo que le confiere una elevada impedancia de entrada. La salida se configura a partir de una etapa de dos transistores BJT que actúa sobre la carga capacitiva (etapa posterior) . Al analizar la etapa de salida, se observa que los niveles eléctricos '1' y '0' de la etapa no corresponden y 0 voltios, como es típico de las etapas CMOS, sino que corresponde a -0,7 y 0,7 voltios respectivamente. Esto es debido al comportamiento de los dispositivos BJT que precisan de una caída de 0,7 voltios en la unión de emisor (.). Ello implica que la excursión de la tensión de salida es inferior en BiCMOS que en CMOS con el consiguiente deterioro de los márgenes de ruido.

Consideremos en primer lugar que la entrada del inversor se encuentra a un nivel bajo, digamos 0 voltios. Los transistores M2 y M3 no conducen. El transistor M1 que si conduce llevando el nodo de base de Q1 a la tensión de V_{DD} . M4 conduce y lleva al nodo de base de Q2 a un nivel de tierra. Luego la tensión de salida es elevada, concretamente de un valor $-0,7$ voltios.

Si la tensión de entrada es alta, M1 no conduce y M2 si, llevando a la base de Q1 y la puerta de M4 a nivel bajo. Luego Q1 estará en corte. M3 que si conduce cerrando el circuito entre colector (salida) y base, por lo que la tensión de salida se sitúa en $0,7$ voltios.

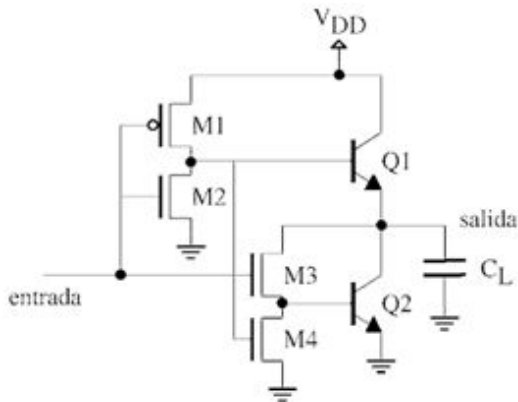


Fig. 7.2 Circuito inversor BiCMOS típico

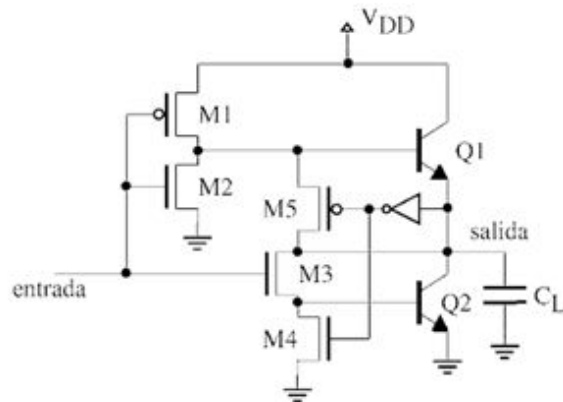


Fig 7.3 Circuito inversor BiCMOS de conducción completa

Es posible disponer de un inversor BiCMOS que exhiba una excursión completa del valor de la tensión de salida (de V_{DD} a $0V$). La Fig. 7.3 muestra un inversor de este tipo, que utiliza tres transistores más que en el caso de la Fig. 7.2 y le corresponde un retardo ligeramente mayor. A diferencia del inversor básico, cuyo nodo de salida está conectado a la interconexión entre Q1 y Q2, en este caso este nodo está también conectado a dos redes, una conectada a V_{DD} y la otra a GND, que siendo éstos transistores MOS fuerzan hacia los niveles V_{DD} o GND, según el caso, al nodo de salida. Cuando el nivel de salida es alto, la red está formada por M1 y M5, que se encuentran ambos en conducción. Cuando el nivel de salida es bajo la red está formada por M3 y M4.

Puertas NAND y NOR BICMOS

A modo de ejemplo de otras puertas en tecnología BiCMOS, se muestran las estructuras básicas de las puertas NAND (Fig. 7.4) y NOR (Fig. 7.5). La estructura es muy paralela a la mostrada en la Fig. 7.2. En la etapa de entrada se muestra un circuito típico de función NAND o NOR CMOS que corresponde a los transistores M1, M2, M3 y M4. La salida de esta etapa de entrada se conecta a la base de Q1 y a la puerta de M7, igual que en la Fig. 7.2. La estructura que conecta la base y el colector de Q2 (M3 en Fig. 7.2) ahora está formada por M5 y M6, que se sitúan en serie o paralelo, según la puerta sea una NAND o una NOR.

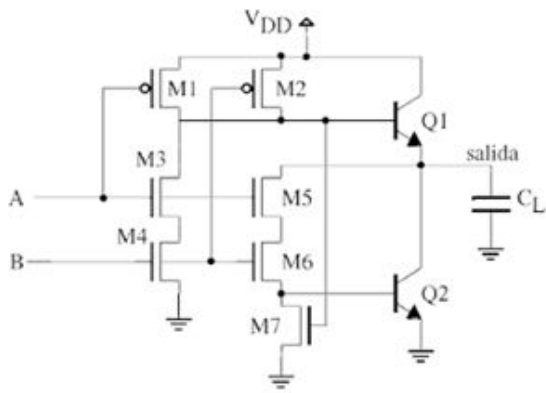


Fig. 7.4 Puerta NAND básica en tecnología BiCMOS

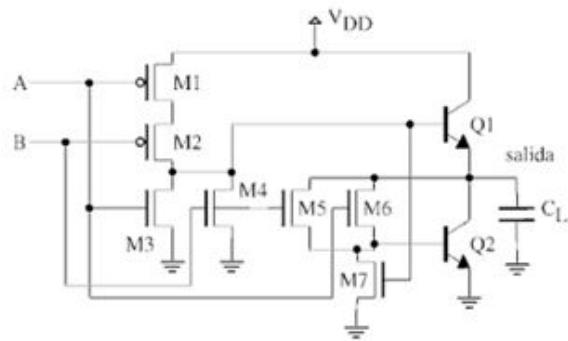


Fig. 7.5 Puerta NOR básica en tecnología BiCMOS

TSB572 Amplificador operacional BICMOS



TSB571, TSB572

Datasheet

Low-power, 2.5 MHz, RR IO, 36 V BiCMOS operational amplifier



Features

- Low-power consumption: 380 μ A typ.
- Wide supply voltage: 4 V - 36 V
- Rail-to-rail input and output
- Gain bandwidth product: 2.5 MHz
- Low input bias current: 30 nA max.
- No phase reversal
- High tolerance to ESD: 4 kV HBM
- Extended temperature range: -40 °C to 125 °C
- Automotive grade
- Small SMD packages
- 40 V BiCMOS technology
- Enhanced stability vs. capacitive load

Applications

- Active filtering
- Audio systems
- Automotive
- Power supplies
- Industrial
- Low/high side current sensing

Maturity status link

[TSB571, TSB572](#)

Related products

[TSB511](#)

For below 100 μ A solution

Description

The **TSB571** and **TSB572** operational amplifiers offer an extended voltage operating range from 4 V to 36 V and rail-to-rail input/output.

The **TSB571** and **TSB572** give a very good speed/power consumption ratio with a 2.5 MHz gain bandwidth product and a consumption of 380 μ A typically only at 36 V supply voltage.

Stability and robustness of these devices make them an ideal solution for a wide voltage range of applications.

Figure 1. Pin connections (top view)

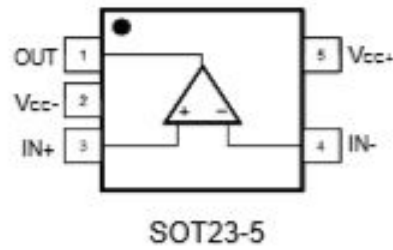


Table 1. Pin description (SOT23-5)

Pin n°	Pin name	Description
1	OUT	Output channel
2	V _{CC-}	Negative supply voltage
3	IN1+	Non-inverting input channel
4	IN-	Inverting input channel
5	V _{CC+}	Positive supply voltage

Figure 2. Pin connections for each package (top view)

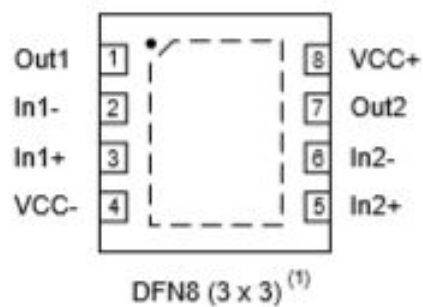
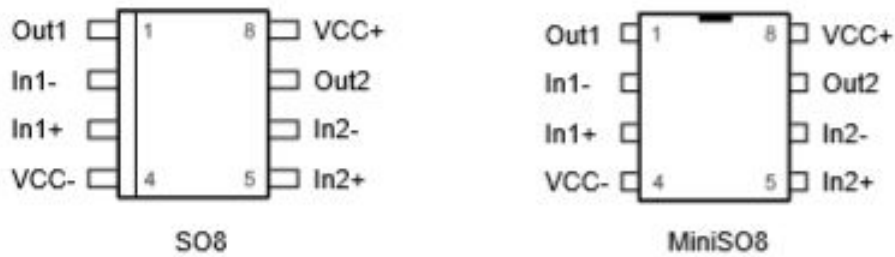


Table 2. Pin description (miniSO8/SO8/DFN8)

Pin	Pin name	Description
1	OUT1	Output channel 1
2	IN1-	Inverting input channel 1
3	IN1+	Non-inverting input channel 1
4	V _{CC-}	Negative supply voltage
5	IN2+	Non-inverting input channel 2
6	IN2-	Inverting input channel 2
7	OUT2	Output channel 2
8	V _{CC+}	Positive supply voltage

2 Absolute maximum ratings and operating conditions

Table 3. Absolute maximum ratings

Symbol	Parameter	Value	Unit	
V _{CC}	Supply voltage ⁽¹⁾	40	V	
V _{id}	Differential input voltage ⁽²⁾	±1		
V _{in}	Input voltage ⁽³⁾	(V _{CC-}) - 0.2 to (V _{CC+}) + 0.2		
I _{in}	Input current ⁽⁴⁾	10	mA	
T _{stg}	Storage temperature	-65 to 150	°C	
T _j	Maximum junction temperature	150		
R _{thja}	Thermal resistance junction to ambient ^{(5) (6)}	SOT23-5	250	°C/W
		MiniSO8	190	
		DFN8 3x3	40	
		SO-8	125	
ESD	Human body model (HBM) ⁽⁷⁾	4	kV	
	Machine model (MM) ⁽⁸⁾	100	V	
	CDM: charged device model ⁽⁹⁾	1.5	kV	
	Latch-up immunity	100	mA	

1. All voltage values, except the differential voltage are with respect to network ground terminal.
2. Differential voltages are the non-inverting input terminal with respect to the inverting input terminal.
3. V_{CC}-V_{in} must not exceed 40 V, V_{in} must not exceed 40 V.
4. Input current must be limited by a resistor in-series with the inputs.
5. R_{th} are typical values.
6. Short-circuits can cause excessive heating and destructive dissipation.
7. According to JEDEC standard JESD22-A114F.
8. According to JEDEC standard JESD22-A115A.
9. According to ANSI/ESD STM5.3.1.

Table 4. Operating conditions

Symbol	Parameter	Value	Unit
V _{CC}	Supply voltage	4 to 36	V
V _{ICM}	Common mode input voltage range	(V _{CC-}) - 0.1 to (V _{CC+}) + 0.1	
T _{oper}	Operating free-air temperature range	-40 to 125	°C

3 Electrical characteristics

Table 5. Electrical characteristics at $V_{DD} = 4\text{ V}$, $V_{IOM} = V_{DD}/2$, $T_{amb} = 25\text{ }^{\circ}\text{C}$, and R_L connected to $V_{DD}/2$ (unless otherwise specified)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
DC performance						
V_{io}	Input offset voltage	$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	-1.5		1.5	mV
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	-2.1		2.1	
$\Delta V_{io}/\Delta T$	Input offset voltage drift	$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$		1.5	6	$\mu\text{V}/^{\circ}\text{C}$
I_{io}	Input offset current	$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$		2	15	nA
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$			35	
I_b	Input bias current	$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$		8	30	
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$			70	
C_{IN}	Input capacitor			2		pF
R_{IN}	Input impedance			1		T Ω
CMR	Common mode rejection ratio 20 log ($\Delta V_{IOM}/\Delta V_{IO}$)	$V_{IOM} = (V_{CC+})/10 (V_{CC-}) - 1.5\text{ V}$, $V_{OUT} = V_{CC}/2$	90	114		dB
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	80			
		$V_{IOM} = (V_{CC-})/10 (V_{CC+})$, $V_{OUT} = V_{CC}/2$	75	97		
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	70			
A_{vd}	Large signal voltage gain	$R_L = 10\text{ k}\Omega$, $V_{OUT} = 0.5\text{ to }3.5\text{ V}$ $-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	90	100		
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	85			
V_{OH}	High level output voltage (drop voltage from (V_{CC+}))	$R_L = 10\text{ k}\Omega$ $-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$		19	60	mV
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$			80	
V_{OL}	Low level output voltage	$R_L = 10\text{ k}\Omega$ $-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$		12	50	mV
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$			70	
I_{out}	I_{sink}	$V_{out} = V_{CC}$	20	38		mA
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	5			
	I_{source}	$V_{out} = 0\text{ V}$	10	32		
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	5			
I_{CC}	Supply current (per channel)	No load, $V_{out} = V_{CC}/2$		340	430	μA
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$			500	
AC performance						
GBP	Gain bandwidth product	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$	1.5	2.2		MHz
		$-40\text{ }^{\circ}\text{C} < T < 125\text{ }^{\circ}\text{C}$	1.2			
ϕ_m	Phase margin	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		45		degrees
G_m	Gain margin	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		5		dB

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
SR	Negative slew rate	$V_{in} = 3.5$ to 0.5 V, $A_v = 1$, 10 % to 90 %, $R_L = 10$ k Ω , $C_L = 100$ pF	0.50	0.78		V/ μ s
		-40 °C < T < 125 °C	0.37			
	Positive slew rate	$V_{in} = 0.5$ to 3.5 V, $A_v = 1$, 10 % to 90 %, $R_L = 10$ k Ω , $C_L = 100$ pF	0.50	0.89		
		-40 °C < T < 125 °C	0.37			
e_n	Equivalent input noise voltage	f = 1 kHz		20		nV/ \sqrt Hz
		f = 0.1 Hz to 10 Hz		0.7		μ Vpp
THD+N	Total harmonic distortion + noise	f = 1 kHz, $V_{in} = 3.8$ V _{pp} , $R_L = 10$ k Ω , $C_L = 100$ pF		0.001		%